

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP2000124177
Publication date: 2000-04-28
Inventor(s): YANAGIDA TOSHIHARU
Applicant(s): SONY CORP
Requested Patent: ☐ JP2000124177
Application Number: JP19980294155 19981015
Priority Number(s):
IPC Classification: H01L21/304; H01L21/306
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To form an ultra-thin wafer of high mechanical strength, and moreover to realize an ultra-thin packaging of a semiconductor device to aim at microminiaturization of electronic equipment, lightening of the equipment and reduction in the thickness of the equipment.

SOLUTION: The grinding work of the backside of a wafer 10, formed with an Al wiring layer and the like, is performed using a machine grinding unit and with process processing flaws 18 formed at the backside of the wafer 10 removed by grinding, and the wafer 10 is subjected to ultra-thin processing down to a thickness of 110 μ m. Moreover, the finishing work using a polish polishing of the backside of the wafer 10 is performed, using a CMP unit and with a grinding damaged layer 28 formed newly at grinding of the backside of the wafer 10 which is removed by polishing, the wafer 10 is subjected to ultra-thin processing down to a thickness of 100 μ m. In this way, grinding damages which causes reduction in the mechanical strength of the ultra-thin wafer is removed and the mechanical strength of the wafer 10 subjected to ultra-thin processing down to the thickness of 100 μ m is enhanced.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-124177

(P2000-124177A)

(43) 公開日 平成12年4月28日 (2000.4.28)

(51) IntCl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 21/304	6 3 1	H 0 1 L 21/304	6 3 1 5 F 0 4 3
21/308		21/308	M

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願平10-294155

(22) 出願日 平成10年10月15日 (1998.10.15)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 柳田 敏治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

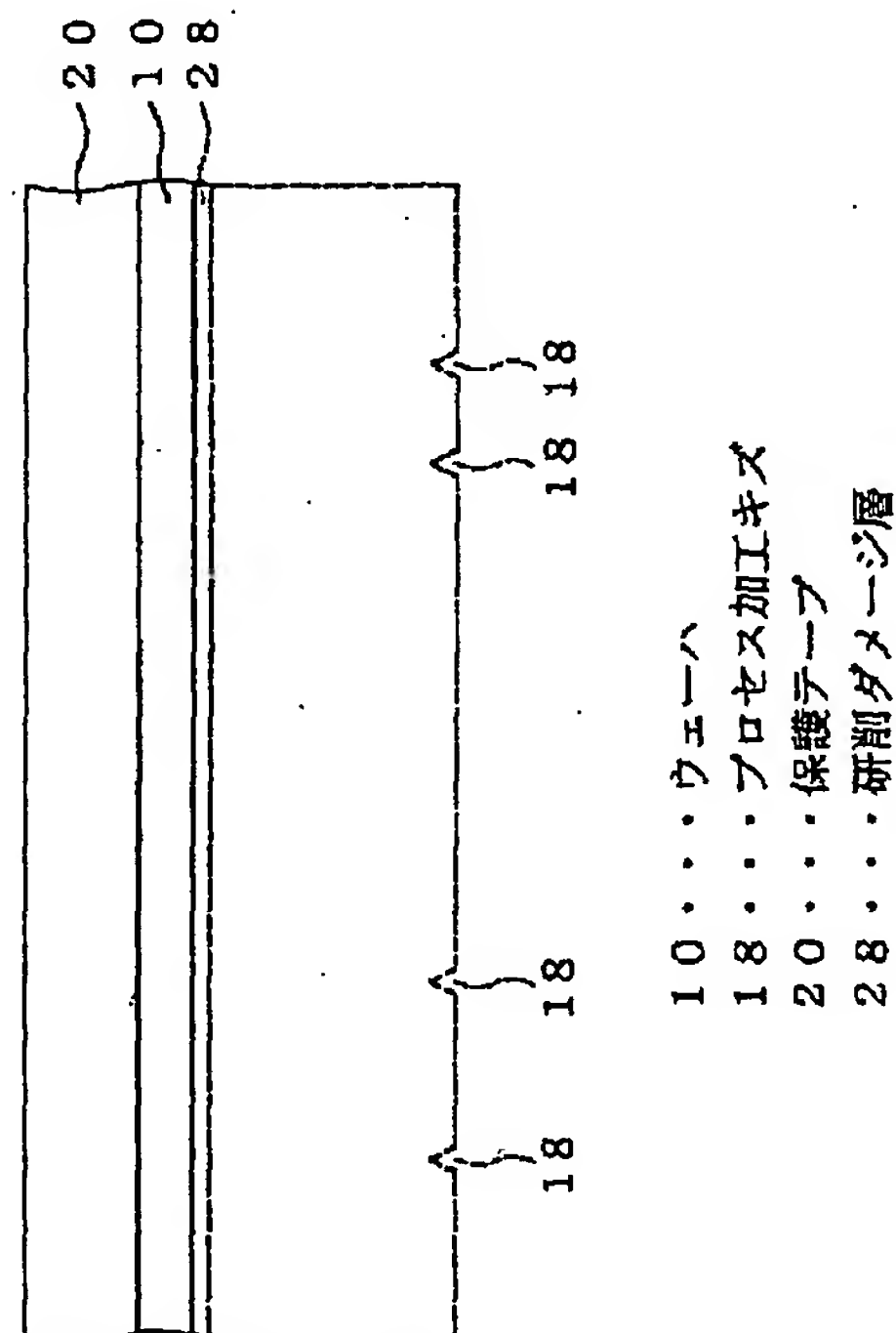
Fターム (参考) 5F043 AA02 DD12 DD15 DD16 DD30
EE07 EE08 EE35 GG10

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 本発明は、機械的強度の高い超薄型ウェーハを形成し、更には半導体デバイスの超薄型実装を実現して、電子機器の超小型軽薄化に貢献することができる半導体装置の製造方法を提供することを目的とする。

【解決手段】 機械研削装置を用いてA1配線層12等を形成したウェーハ10の裏面研削加工を行い、ウェーハ10の裏面に形成されていたプロセス加工キズ18を研削除去すると共に厚さ110 μ mにまで超薄型加工する。更にCMP装置を用いてウェーハ10裏面のポリッシュ研磨による仕上げ加工処理を行い、ウェーハ10の裏面研削の際に新たに形成された研削ダメージ層28を研磨除去すると共にウェーハ10を厚さ100 μ mにまで超薄型加工する。こうして、超薄型ウェーハの機械的強度の低下を招く要因になる研削ダメージを除去し、厚さ100 μ mにまで超薄型化加工されたウェーハ10の機械的強度を向上する。



【特許請求の範囲】

【請求項1】 機械研削加工により、半導体素子が形成されているウェーハの裏面を研削して、前記ウェーハを所定の厚さにまで薄型化する第1の工程と、

化学機械研磨処理又はエッチング処理により、前記ウェーハの裏面を研削した際に生じた研削ダメージ層を除去する第2の工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項2】 機械研削加工により、半導体素子が形成されているウェーハの裏面を研削して、前記ウェーハを所定の厚さにまで薄型化する第1の工程と、

化学機械研磨処理又はエッチング処理により、前記ウェーハの裏面を研削した際に生じた研削ダメージ層を除去する第2の工程と、

前記ウェーハからデバイス・チップを切り出した後、前記デバイス・チップをプリント配線基板に実装する第3の工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項3】 請求項2記載の半導体装置の製造方法において、

前記第3の工程で、前記デバイス・チップをベアチップの状態のままプリント配線基板にフリップチップ実装することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1又は2に記載の半導体装置の製造方法において、

前記第1の工程で、前記ウェーハを50 μ m以上200 μ m以下の厚さにまで薄型化することを特徴とする半導体装置の製造方法。

【請求項5】 請求項1又は2に記載の半導体装置の製造方法において、

前記第2の工程で、化学機械研磨処理又はエッチング処理により除去する前記研削ダメージ層の厚さが、10 μ m以上50 μ m未満であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に係り、特に半導体デバイス・ウェーハの薄型化、引いては半導体デバイスの薄型化を実現して、電子機器の小型軽量化の実現に貢献する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】電子機器の小型化をより一層進展させるためには、部品実装密度を如何に向上させるかが重要なポイントとなる。半導体IC（集積回路）に関しても、ボンディング・ワイヤとリード・フレームとを用いた従来のパッケージ実装に代わり、LSI（大規模集積回路）のベア・チップを直接に実装基板上の導体パターンに接続するワイヤレス・ボンディングが提案されている。特に、デバイス・チップの素子形成面側に全ての電

極部とこれに接続するはんだボールバンプやビーム・リードを実装端子として形成しておき、この素子形成面を下向きにして実装端子とプリント配線基板上の導体パターンとを直接的に接続する方法は、フリップチップ・ボンディング法と呼ばれており、アセンブリ工程が合理化できることからハイブリッドICの実装や大型コンピュータ用途に広く利用されている。

【0003】中でもはんだボールバンプは、今後の多ピン数パッケージとして有望なBGA（ボール・グリッド・アレイ）パッケージ用の実装端子として、ますます重要な地位を占めるものと期待されている。ここでBGAとは、通常、デバイス・チップの周辺部に集中しているAl（アルミニウム）電極パッドの配列パターンを絶縁性の仲介層（インタポーザ）を介してより広範囲に分散された規則的な電気接点の配列パターンに変換し、この電気接点にはんだボールバンプを配する技術である。

【0004】そして、このBGAによれば、隣接するはんだボールバンプ間の配列ピッチを大きく確保することができるため、はんだボールバンプ間の短絡のおそれがなく、従ってボール径を縮小せずに十分な接合強度をもってデバイス・チップをプリント配線基板にフリップチップ実装することが可能となる。

【0005】近年においては、パッケージ1個に200個以上ものはんだボールバンプが形成される場合もあり、これら多数のはんだボールバンプをいかに均一な高さに形成できるかが、実装の信頼性を左右する。

【0006】従来、はんだボールバンプの形成は一般に電解メッキにより行われてきたが、この方法には下地材料層の表面状態や電気抵抗のわずかなバラツキによって成膜されるはんだの厚み変動するという問題があった。

【0007】この問題を解決するため、本出願人は、真空薄膜形成技術とレジスト・パターンのリフトオフ技術とを組み合わせて、半導体ICのAl系電極パッドとバンプとの間に両者の密着性向上や相互拡散防止等を目的とするバリアメタル膜を使用するはんだボールバンプの形成方法を提案している（特開平7-288255号公報参照）。なお、このバリアメタル膜は、バンプの仕上がり形状を左右することから、通常、BLM（Ball Limiting Metal）膜と呼ばれている。

【0008】以下、このBLM膜を使用したはんだボールバンプの製造方法を、図14～図18の工程断面図を用いて説明する。先ず、半導体デバイスウェーハ（以下、単に「ウェーハ」という）10表面層に形成した例えばLSI（図示せず）の接合部に、その外部接続端子として例えばAl電極パッド14を形成する。続いて、例えばシリコン窒化膜やポリイミド膜からなる表面保護膜16を基体全面に被覆した後、この表面保護膜16に開口した接続孔を介してAl電極パッド14に接続するBLM膜56を形成する。

【0009】なお、BLM膜56の構造としては、Cr（クロム）膜/Cu（銅）膜/Au（金）膜の3層構造が最も一般的である。この3層構造のうち、下層のCr膜は、Al電極パッド14との良好な密着性を確保するための密着層として、また中間のCu膜は、後に形成するはんだボールバンプからのはんだの拡散を防止するためのバリア層として、更に上層のAu膜は、中間のCu膜の酸化を防止するための酸化を防止膜として、各々主に作用するものである（図14参照）。

【0010】次いで、基体全面に十分に厚いフォトレジスト膜86を塗布した後、フォトリソグラフィ技術を用いて、このフォトレジスト膜86をパターンニングする。こうして、BLM膜56及びその周囲の表面保護膜16を露出させる開口部88を形成する（図15参照）。

【0011】次いで、例えば蒸着技術を用いて、基体全面にPb（鉛）及びSn（スズ）からなるはんだ蒸着膜90を成膜する。このとき、このはんだ蒸着膜90は、開口部88におけるフォトレジスト膜86端部の大きな段差により、開口部88内のBLM膜56及びその周囲の表面保護膜16上のはんだ蒸着膜90とフォトレジスト膜86上のはんだ蒸着膜90とに分断される（図16参照）。

【0012】次いで、リフトオフ技術を用いて、ウェーハ10をレジスト剥離液に浸した状態において加熱揺動処理を行ない、フォトレジスト膜86と共にそのフォトレジスト膜86上のはんだ蒸着膜90を除去する。こうして、BLM膜56及びその周囲の表面保護膜16を被覆するはんだ蒸着膜90のみを残存させる（図17参照）。

【0013】次いで、いわゆるウェットバックと呼ばれる加熱溶融処理を行う。即ち、はんだ蒸着膜90表面にフラックスを塗布した後、N₂（窒素）雰囲気下において段階的に昇温すると、はんだ蒸着膜90が溶融してそれ自身の表面張力により収縮し、BLM膜56上で自己整合的にはんだボールバンプ58となる。このようにして、ウェーハ10表面に形成したLSIの外部接続端子としてのAl電極パッド14上に、BLM膜56を介して、はんだボールバンプ58を形成する（図18参照）。

【0014】そして、図示はしないが、はんだボールバンプ56を形成したウェーハ10をダイシングし、個々のデバイス・チップに分割した後、このデバイス・チップのはんだボールバンプ形成面を下向きにしてプリント配線基板にフリップチップ実装する。こうして、従来のモールド樹脂によってパッケージングされたデバイス・チップを実装した場合に比べて、半導体デバイスを小型化することができるため、様々な電子機器の小型軽量化の実現に貢献している。

【0015】

【発明が解決しようとする課題】しかし、ICカード、

携帯電話、PDA（Personal Digital Assistant）等を初めとする携帯電子機器については、半導体デバイスの実装スペースは可能な限り小さくすることが望ましいため、これまで主として目指してきた2次元的な小型化に加えて、高さ方向にも更なる薄型化ができるような半導体デバイスの実装技術を確立することが切望されている。

【0016】ところで、半導体デバイスの薄型化を図るためには、LSI形成後のウェーハの状態での薄型加工することが望ましいが、ウェーハを薄型化するほど機械的強度が劣化して割れ易くなり、取り扱いが非常に難しくなる。更に、デバイス・チップの収率を上げて生産性向上を図ろうとする観点から、シリコンウェーハは益々大口径化が進んでおり、ウェーハの機械的強度を確保することは、薄型加工において重要なポイントとなる。

【0017】そこで本発明は、上記問題点を鑑みてなされたもので、機械的強度の高い薄型ウェーハを形成し、更には半導体デバイスの超薄型実装を実現して、電子機器の超小型軽薄化に貢献することができる半導体装置の製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明者が従来のウェーハの薄型化加工技術を検討したところ、一般的に使用されている機械研削（グラインド；grinding）法をそのままウェーハの薄型加工に応用する場合、その加工条件さえ最適化すれば、ウェーハの厚みにして100μm程度までは比較的安定に薄型加工自体は行うことが可能であった。しかし、この場合には、加工後の薄型化されたウェーハが非常に割れ易くなってしまい、取り扱い性の悪化が大きな問題となった。このため、更にウェーハの薄型化加工における機械的強度について鋭意検討した結果、薄型化したウェーハが割れ易くなる原因は、単にウェーハの厚みが薄くなるためだけではなく、これに加えて、機械研削による物理的な加工ダメージ、即ち研削ダメージがウェーハ裏面に形成されるためであることを確認した。

【0019】従って、上記課題は、以下の本発明に係る半導体装置の製造方法によって達成される。即ち、請求項1に係る半導体装置の製造方法は、機械研削加工により、半導体素子が形成されているウェーハの裏面を研削して、このウェーハを所定の厚さにまで薄型化する第1の工程と、化学機械研磨処理又はエッチング処理により、このウェーハの裏面を研削した際に生じた研削ダメージ層を除去する第2の工程とを有することを特徴とする。

【0020】このように請求項1に係る半導体装置の製造方法においては、機械研削加工によりウェーハの裏面を研削し、所定の厚さに薄型化した後、更に仕上げ加工処理として、加工ダメージの少ない化学機械研磨（Chemical Mechanical Polishing；以下、「CMP」と略す

る)処理又はエッチング(Eching)処理を行い、ウェーハ裏面の研削の際に生じた研削ダメージ層を除去することにより、超薄型化したウェーハが割れ易くなる原因の一つであるウェーハ裏面に形成され研削ダメージが除去されるため、薄型化加工後の超薄型ウェーハの機械的強度が大幅に向上する。即ち、電子機器の小型軽薄化を実現するための半導体デバイスの作製に必要とされる機械的強度の高い超薄型ウェーハが安定して製造される。

【0021】また、請求項2に係る半導体装置の製造方法は、機械研削加工により、半導体素子が形成されているウェーハの裏面を研削して、このウェーハを所定の厚さにまで薄型化する第1の工程と、化学機械研磨処理又はエッチング処理により、このウェーハの裏面を研削した際に生じた研削ダメージ層を除去する第2の工程と、このウェーハからデバイス・チップを切り出した後、このデバイス・チップをプリント配線基板に実装する第3の工程とを有することを特徴とする。

【0022】このように請求項2に係る半導体装置の製造方法においては、機械研削加工とCMP処理又はエッチング処理との2段階の薄膜化加工を施すことによって研削ダメージが除去された機械的強度の高い超薄型ウェーハを作製した後、この超薄型ウェーハから切り出したデバイス・チップをプリント配線基板に実装することにより、例えばモールド樹脂によるパッケージを組み立てる場合などにおいて、プリント配線基板への実装高さを低く抑制した半導体デバイス部品の超薄型実装が高い信頼性で実現され、最終的な電子機器の小型軽薄化が達成される。

【0023】また、請求項3に係る半導体装置の製造方法は、上記請求項2に係る半導体装置の製造方法において、機械的強度の高い超薄型ウェーハから切り出したデバイス・チップをプリント配線基板に実装する際に、このデバイス・チップをベアチップの状態のままプリント配線基板にフリップチップ実装する構成とすることにより、例えばモールド樹脂によるパッケージを組み立てる場合と比較すると、プリント配線基板への実装高さを更に低く抑制した半導体デバイス部品の超薄型実装が実現され、最終的な電子機器のより一層の小型軽薄化が達成される。

【0024】なお、上記請求項1又は2に係る半導体装置の製造方法において、機械研削加工によりウェーハの裏面を研削する際に、このウェーハを50 μ m以上200 μ m以下の厚さにまで超薄型化することが好適である。即ち、このウェーハの厚さは、前述のように本発明者の実験によれば、比較的安定して機械研削加工を行うことが可能な厚さである。また、同時に、この厚さのウェーハから切り出したデバイス・チップをプリント配線基板に実装する場合、半導体デバイス部品の超薄型実装を実現して、最終的な電子機器の超小型化、超軽薄化を達成するのに十分な厚さである。

【0025】また、上記請求項1又は2に係る半導体装置の製造方法において、CMP処理又はエッチング処理によりウェーハの裏面を研削した際に生じた研削ダメージ層を除去する際に、その除去する研削ダメージ層の厚さは10 μ m以上50 μ m未満であることが好適である。ここで、「研削ダメージ層」とは、ウェーハの裏面において、機械的強度を劣化させる要因となる研削ダメージが形成されている層をいう。即ち、機械研削加工によって薄型化したウェーハの機械的強度を向上させるためには、機械的強度を劣化させる要因となる研削ダメージを完全に除去することが必要である。その反面、研削ダメージ層を完全に除去するための化学的機械研磨処理又はエッチング処理等の仕上げ加工処理は機械研削加工に比べて処理速度が小さいため、生産性を考慮すると、仕上げ加工処理量はできるだけ少ない方が望ましい。

【0026】そこで本発明者は、薄型化ウェーハの作製における仕上げ加工処理の最適化を図るべく、仕上げ加工処理量を変化させて機械研削による加工ダメージのウェーハ深さ方向への影響を鋭意調査検討した。その結果、ウェーハ間やウェーハ面内での多少のバラツキはあるものの、厚みにして概ね10 μ m～50 μ mの仕上げ加工処理を行えば、研削ダメージが除去されて、超薄型ウェーハの機械的強度を向上することができることを見出した。即ち、機械的強度を劣化させる要因となる研削ダメージ層の厚さは概ね10 μ m～50 μ mであると推定され、従ってこの厚さの研削ダメージ層を除去すれば、機械研削加工によって超薄型化したウェーハの機械的強度が向上することになる。

【0027】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の実施の形態を説明する。

(第1の実施形態)本実施形態に係る半導体装置の製造方法は、半導体素子形成後のウェーハを機械研削加工による裏面薄型化加工を行い、更にCMP処理による裏面仕上げ加工処理を行った後、モールド樹脂パッケージによる薄型実装を行うものであり、以下に図1～図8を用いて説明する。

【0028】ここで、図1は本発明の第1の実施形態に係る半導体装置の製造方法を説明するための工程断面図であって、半導体素子形成後のウェーハの状態を示すものであり、図2は機械研削加工前のウェーハの状態を示す工程断面図であり、図3はウェーハ裏面の機械研削加工を行う機械研削加工装置を示す概略断面図であり、図4は図3の機械研削加工装置による機械研削加工後のウェーハの状態を示す工程断面図であり、図5はウェーハ裏面のCMP処理を行うCMP装置を示す概略断面図であり、図6は図5のCMP装置によるCMP処理後のウェーハの状態を示す工程断面図であり、図7(a)、(b)はそれぞれウェーハから切り出されたチップがモールド樹脂によりパッケージングされてプリント配線基

板に実装された状態を示す工程断面図、及び比較のために従来の実装状態を示す工程断面図であり、図8は図7(a)の一部拡大図である。

【0029】先ず、図1に示されるように、通常の半導体装置の製造方法と同様にして、例えばSi(シリコン)からなるウェーハ10の表面層にLSI(図示せず)を形成し、このLSIを構成する各素子を接続するA1配線層12及びその外部接続端子としてのA1電極パッド14を形成し、更に基体全面を例えばシリコン窒化膜やポリイミド膜からなる表面保護膜16によって覆った後、A1電極パッド14上の表面保護膜16を選択的に除去して、A1電極パッド14表面を露出させる。

【0030】なお、このようなLSIを形成するための所謂ウェーハ前処理の数多くのプロセス工程を経る過程において、ウェーハ10の裏面には、図1に示されるような多くのプロセス加工キズ18が不可避免的に形成される。

【0031】次いで、このLSIを形成したウェーハ10の裏面研削(バックグランド)加工を行うため、図2に示されるように、ウェーハ10の表面に保護テープ20を貼り付ける。なお、ここで、ウェーハ10表面上のA1配線層12、A1電極パッド14、及び表面保護膜16の図示は省略している。次いで、この表面に保護テープ20を貼り付けたウェーハ10を機械研削装置にセットし、ウェーハ10の裏面研削加工を行う。

【0032】なお、ここで使用する機械研削装置は、図3に示されるように、ウェーハを搭載するための回転可能なウェーハ・ステージ22と、このウェーハ・ステージ22に対向配置され、ウェーハ対向面の外周部に複数個の砥石24を装着した回転可能な研削ヘッド26とを主要な構成要素としている。そして、ウェーハ10をその裏面を上向きにしてウェーハ・ステージ22上に搭載し、ウェーハ10表面に貼り付けた保護テープ20をウェーハ・ステージ22表面に接触させた状態で例えば真空吸着機構を用いて保持する。続いて、ウェーハ・ステージ22を図3中の矢印Aの方向に回転させる一方で、研削ヘッド26を図3中の矢印Bの方向に回転させる。こうして、ウェーハ・ステージ22上のウェーハ10裏面に研削ヘッド26の砥石24を接触させつつ、両者の相対的な位置を連続的に変化させることにより、ウェーハ10裏面を均一に研削する。

【0033】この機械研削の具体的な条件の一例は次の通りである。

砥石送り速度 : $150\mu\text{m}/\text{min}$
 砥石回転数 : 2500rpm
 ウェーハ削り代 : 約 $510\mu\text{m}$
 研削後のウェーハ厚 : $110\mu\text{m}$

この結果、図4に示されるように、ウェーハ10の裏面に形成されていたプロセス加工キズ18が研削除去されると共に、ウェーハ10は厚さ $110\mu\text{m}$ にまで超薄型

加工される。

【0034】但し、このウェーハ10裏面の研削により、マクロ的にはプロセス加工キズ18は除去されるものの、ミクロ的に見れば、研削加工によるダメージ、例えば極浅い研削キズやヘアラインクラック等が新たに加わり、新たなウェーハ10裏面には研削ダメージ層28が形成されることになる。そして、この研削ダメージ層28における研削ダメージが超薄型加工後のウェーハ10の機械的強度の低下を招く要因になる。

【0035】次いで、この厚さ $110\mu\text{m}$ にまで超薄型加工したウェーハ10をCMP装置にセットし、ウェーハ10裏面にポリッシュ研磨による仕上げ加工処理を行う。なお、ここで使用するCMP装置は、図5に示されるように、表面に研磨布(クロス)30が張設されている回転可能なテーブル(定盤)32と、このテーブル32との対向面上にウェーハを保持するウェーハキャリア34と、このウェーハキャリア34を回転させると共に、下方に圧力を印加するウェーハキャリア駆動部36と、研磨布30の表面にスラリー(研磨溶剤)38を吐出するためのノズル40とを主要な構成要素としている。

【0036】そして、ウェーハ10をその裏面を下向きにし、ウェーハ10表面に貼り付けた保護テープ20をウェーハキャリア34下面に接触させた状態で例えば真空吸着機構を用いて保持する。続いて、テーブル32を図5中の矢印Cの方向に回転させる一方で、ウェーハキャリア34を図5中の矢印Dの方向に回転させる。このとき、ノズル40からはスラリー38をテーブル32上の研磨布30表面に供給する。こうして、ウェーハキャリア34下面上のウェーハ10裏面とテーブル32上の研磨布30とを接触させつつ、両者の相対的な位置を連続的に変化させることにより、スラリー38を用いてウェーハ10裏面を均一にポリッシュ研磨し、仕上げ加工処理を行う。

【0037】このポリッシュ研磨の他の具体的な条件の一例は次の通りである。

ウェーハ回転速度 : 80rpm
 テーブル回転速度 : 80rpm
 研磨圧力 : $400\text{g}/\text{cm}^2$
 揺動速度 : $2\text{mm}/\text{sec}$
 スラリー供給速度 : $40\text{ml}/\text{min}$
 削り代 : $10\mu\text{m}$

【0038】この結果、図6に示されるように、ウェーハ10の裏面に形成されていた研削ダメージ層28が研磨除去される。こうして、超薄型加工後のウェーハ10の機械的強度の低下を招く要因になる研削ダメージが消滅するため、厚さ $100\mu\text{m}$ にまで超薄型加工されたウェーハ10の機械的強度が向上することになる。

【0039】次いで、図7(a)及び図8に示されるように、この厚さ $100\mu\text{m}$ にまで超薄型加工したウェー

ハ10をダイシングしてデバイス・チップ42を切り出した後、このデバイス・チップ42をダイボンディングによりダイパッド44上に固定する。続いて、ワイヤボンディングにより、デバイス・チップ42のA1電極パッド14とリードフレーム46のインナーリード部とをAuワイヤ48を介して接続する。続いて、デバイス・チップ42等をモールド樹脂50によってパッケージングした後、リードフレーム46のアウターリード部をプリント配線基板52上のCuランド54に接続する。

【0040】なお、従来の場合も、図7(b)に示されるように、ウェーハから切り出したデバイス・チップ42aをダイパッド44a上に固定し、デバイス・チップ42aのA1電極パッドとリードフレーム46aのインナーリード部とをAuワイヤ48aを介して接続し、モールド樹脂50aによってパッケージングした後、リードフレーム46aのアウターリード部をプリント配線基板52上のCuランドに接続する。

【0041】但し、図7(a)、(b)から明らかなように、本実施形態の場合には、厚さ100 μ mにまで超薄型加工したウェーハ10から切り出したデバイス・チップ42は従来の場合のウェーハから切り出したデバイス・チップ42aよりもその厚さが遙に薄いため、モールド樹脂50の厚さも従来の場合のモールド樹脂50aの厚さより遙に薄くなる。即ち、本実施形態においては、従来の場合と比較すると、半導体デバイスの超薄型実装が実現される。

【0042】以上のように本実施形態に係る半導体装置の製造方法によれば、機械研削装置を用いてA1配線層12等を形成したウェーハ10の裏面研削加工を行って、ウェーハ前処理のプロセス工程においてウェーハ10の裏面に不可避的に形成されていたプロセス加工キズ18を研削除去すると共に、ウェーハ10を厚さ110 μ mにまで超薄型加工し、更にCMP装置を用いてウェーハ10裏面のポリッシュ研磨による仕上げ加工処理を行って、ウェーハ10の裏面研削の際に新たに形成された研削ダメージ層28を研磨除去すると共に、ウェーハ10を厚さ100 μ mにまで超薄型加工することにより、超薄型ウェーハの機械的強度の低下を招く要因になる研削ダメージが消滅するため、厚さ100 μ mにまで超薄型化加工されたウェーハ10の機械的強度を向上することができる。

【0043】そして、この機械的強度を向上させた厚さ100 μ mのウェーハ10から切り出したデバイス・チップ42をモールド樹脂50によってパッケージングしてプリント配線基板52上のCuランド54に接続することにより、半導体デバイスの超薄型実装を実現することができる。このため、最終的な電子機器の製品セットに関しても、ICカード、携帯電話、PDA等を初めとする携帯電子機器の更なる小型軽薄化への実現に大いに貢献することができる。

【0044】(第2の実施形態) 本実施形態に係る半導体装置の製造方法は、半導体素子形成後のウェーハを機械研削加工による裏面薄型化加工を行い、更にエッチング処理による裏面仕上げ加工処理を行った後、フリップチップ実装による薄型実装を行うものであり、以下に図9～図12を用いて説明する。

【0045】ここで、図9は本発明の第2の実施形態に係る半導体装置の製造方法を説明するための工程断面図であって、半導体素子及びはんだボールバンプ形成後のウェーハの状態を示すものであり、図10はウェーハ裏面のウェットエッチング処理を行うスピネッチング装置を示す概略斜視図であり、図11(a)、図11

(b)はそれぞれウェーハから切り出されたベアチップがプリント配線基板にフリップチップ実装された状態を示す工程断面図、及び比較のために従来のフリップチップ実装状態を示す工程断面図であり、図12は図11(a)の一部拡大図である。

【0046】なお、機械研削加工前のウェーハの状態、ウェーハ裏面の機械研削加工を行う機械研削加工装置、機械研削加工装置による機械研削加工後のウェーハの状態、図10のスピネッチング装置によるエッチング処理後のウェーハの状態は、それぞれ上記第1の実施形態における図2の工程断面図、図3の概略斜視図、図4の工程断面図、図6の工程断面図に示されるものと同様であるため、本実施形態においても流用することとして、新たな図示は省略する。また、上記第1の実施形態における半導体装置の構成要素と同一の要素には同一の符号を付して説明を省略する。

【0047】先ず、図9に示されるように、通常の半導体装置の製造方法と同様にして、例えばSiからなるウェーハ10の表面層にLSI(図示せず)を形成し、このLSIを構成する各素子を接続するA1配線層12及びその外部接続端子としてのA1電極パッド14を形成し、更に基体全面を例えばシリコン窒化膜やポリイミド膜からなる表面保護膜16によって覆った後、A1電極パッド14上の表面保護膜16を選択的に除去して、A1電極パッド14表面を露出させる。

【0048】続いて、上記図14～図18に示される工程と同様の工程により、A1電極パッド14に接続するBLM膜56を形成し、このBLM膜56及びその周囲の表面保護膜16を被覆するはんだ蒸着膜を形成した後、このはんだ蒸着膜をウェットバックして、BLM膜56上に自己整合的にはんだボールバンプ58を形成する。

【0049】なお、このようなLSIやはんだボールバンプ58を形成するためのウェーハ前処理の数多くのプロセス工程を経る過程において、図9に示されるような多くのプロセス加工キズ18がウェーハ10の裏面に不可避的に形成されることは、上記第1の実施形態の場合と同様である。

【0050】次いで、このLSIを形成したウェーハ10の裏面研削加工を行うために、上記図2に示される場合と同様に、ウェーハ10の表面に保護テープ20を貼り付ける。なお、ここで、ウェーハ10表面上のA1配線層12、A1電極パッド14、表面保護膜16、BLM膜56、及びはんだボールパンパ58の図示は省略している。

【0051】次いで、この表面に保護テープ20を貼り付けたウェーハ10を上記図3に示されるものと同様の機械研削装置にセットし、ウェーハ10の裏面研削加工を行う。このときの研削の具体的な条件の一例は次の通りである。

砥石送り速度 : 150 $\mu\text{m}/\text{min}$
 砥石回転数 : 2500 rpm
 削り代 : 約510 μm
 研削後のウェーハ厚 : 110 μm

【0052】この結果、上記図4に示される場合と同様に、ウェーハ10の裏面に形成されていたプロセス加工キズ18が研削除去されると共に、ウェーハ10は厚さ110 μm にまで超薄型加工される。

【0053】但し、上記第1の実施形態の場合と同様に、このウェーハ10裏面の研削により、マクロ的にはプロセス加工キズ18は除去されるものの、ミクロ的に見れば、研削加工によるダメージ、例えば極浅い研削キズやヘアラインクラック等が新たに加わり、新たなウェーハ10裏面には研削ダメージ層28が形成されることになる。そして、この研削ダメージ層28における研削ダメージが超薄型加工後のウェーハ10の機械的強度の低下を招く要因になる。

【0054】次いで、この厚さ110 μm にまで超薄型加工したウェーハ10をスピネッチング装置にセットし、例えばHF（フッ酸）とHNO₃（硝酸）の混合液をエッチング薬液として用いて、ウェーハ10裏面のウェットエッチングによる仕上げ加工処理加工を行う。

【0055】なお、ここで使用するスピネッチング装置は、例えば図10に示されるように、処理チャンバ60内の中央部に設置され、ウェーハを搭載するための回転可能なウェーハ・ステージ62と、このウェーハ・ステージ62上のウェーハに所定のエッチング薬液、純水、及びN₂ガスを供給する薬液供給部64と、処理チャンバ60内のエッチング薬液や純水を外部に排出するための排液口66と、処理チャンバ60内の気体を外部に排出するための排気口68とを主要な構成要素としている。

【0056】そして、ウェーハ10をその裏面を上向きにしてウェーハ・ステージ62上に搭載し、ウェーハ10表面に貼り付けた保護テープ20をウェーハ・ステージ22表面に接触させた状態で保持する。このとき、ウェーハ・ステージ22内を流れてきた空気（又はN₂ガス）がウェーハ10表面の保護テープ20とウェーハ・

ステージ22表面との間から処理チャンバ60内に吹き出し、薬液供給部64から供給されるエッチング薬液がウェーハ10の表面側に回り込まないようにしている。なお、ここでは、保護テープ20をウェーハ10表面に貼り付けた状態でウェーハ10裏面のウェットエッチングによる仕上げ加工処理加工を行う場合を説明しているが、上述のように、ウェーハ・ステージ22内を流れてきた空気（又はN₂ガス）がエッチング薬液のウェーハ10の表面側への回り込みを防止しているため、保護テープ20のウェーハ10表面への貼り付けは必ずしも必要ではなく、保護テープ20を除去した状態でウェーハ10裏面のウェットエッチングによる仕上げ加工処理加工を行ってもよい。

【0057】続いて、ウェーハ・ステージ22を図3中の矢印Eの方向に回転させつつ、薬液供給部64からウェーハ・ステージ22上のウェーハ10裏面に所定のエッチング薬液を供給して、ウェーハ10裏面を均一にエッチングする。このエッチングの終了後、薬液供給部64から純水を供給して、ウェーハ10裏面上のエッチング薬液を洗い流し、更に薬液供給部64からN₂ガスを供給して、ウェーハ10裏面を乾燥する。

【0058】このエッチングの具体的な条件の一例は次の通りである。

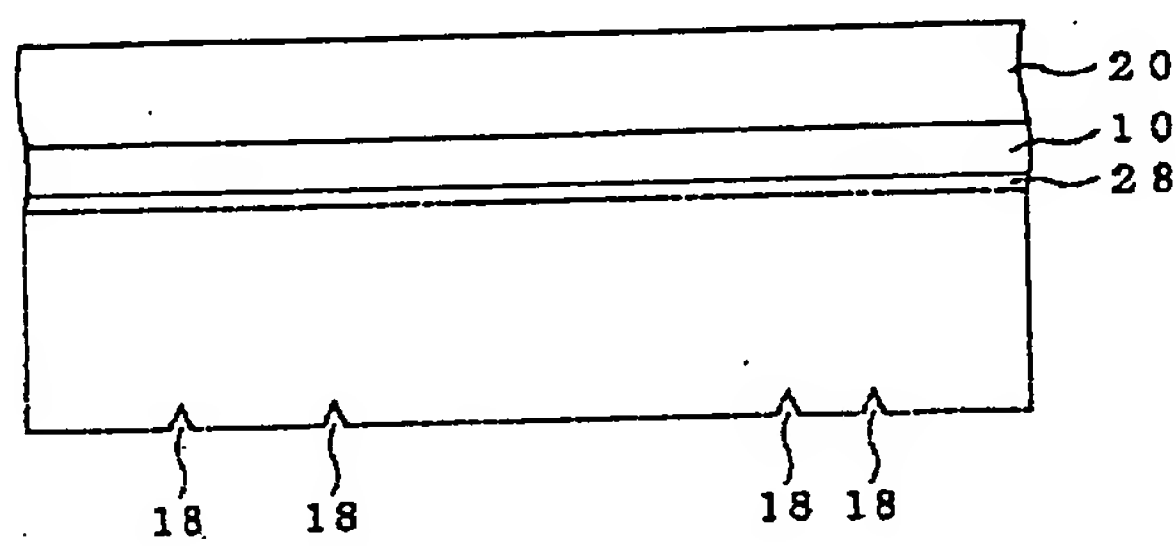
ウェーハ回転速度 : 2000 rpm
 エッチング薬液組成 : HF/HNO₃/H₂O = 1/1/8
 エッチング薬液供給量 : 40 l/min
 ウェーハ削り代 : 10 μm

【0059】この結果、上記図6に示される場合と同様に、ウェーハ10の裏面に形成されていた研削ダメージ層28がエッチング除去される。こうして、超薄型加工後のウェーハ10の機械的強度の低下を招く要因になる研削ダメージが消滅するため、厚さ100 μm にまで超薄型加工されたウェーハ10の機械的強度が向上することになる。

【0060】次いで、図11(a)及び図12に示されるように、この厚さ100 μm にまで超薄型加工したウェーハ10をダイシングしてデバイス・チップ70を切り出した後に、このベアチップ状態のデバイス・チップ70のはんだボールパンパ形成面を下向きにしてプリント配線基板52に対向させる。なお、このときのプリント配線基板52上にはCuランド54が形成され、このCuランド54上に共晶はんだ膜（図示せず）が予備付けされている。また、Cuランド54以外の表面はソルダーレジスト膜（図示せず）によって覆われている。

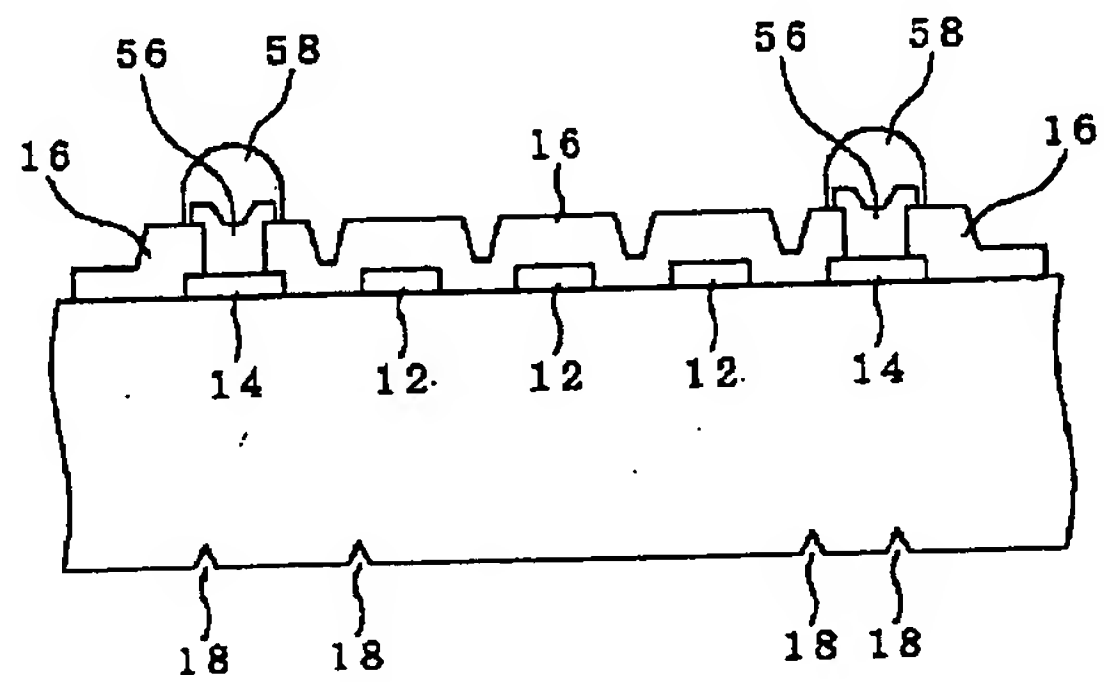
【0061】続いて、デバイス・チップ70のはんだボールパンパ58とプリント配線基板52上の共晶はんだ膜が予備付けされたCuランド54とを位置合わせした後、両者を加熱溶着させる。このようにして、デバイス・チップ70のプリント配線基板52へのフリップチップ

【図6】

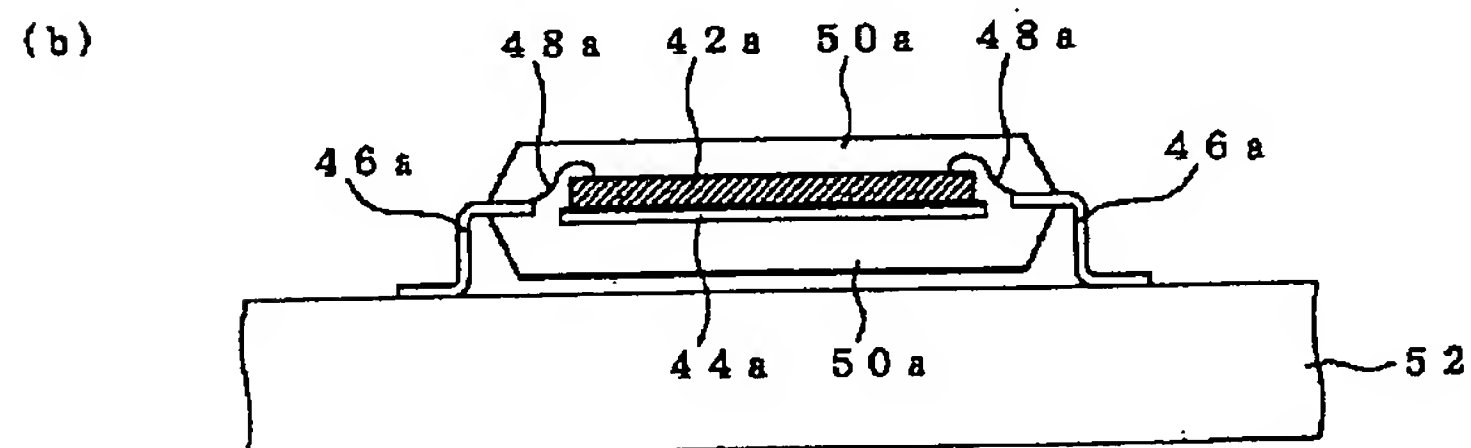
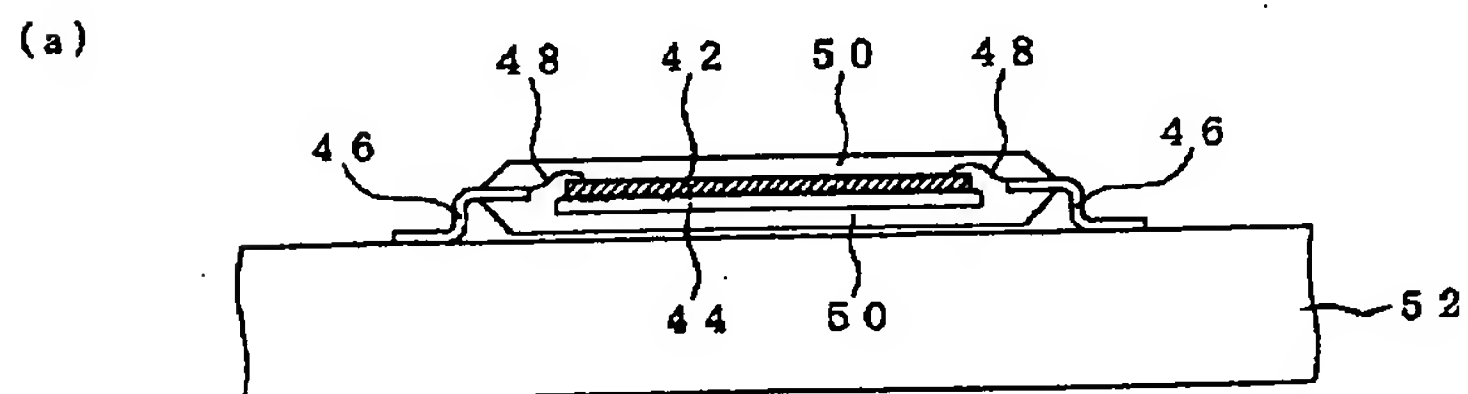


10・・・ウェーハ
18・・・プロセス加工キズ
20・・・保護テープ
28・・・研削ダメージ層

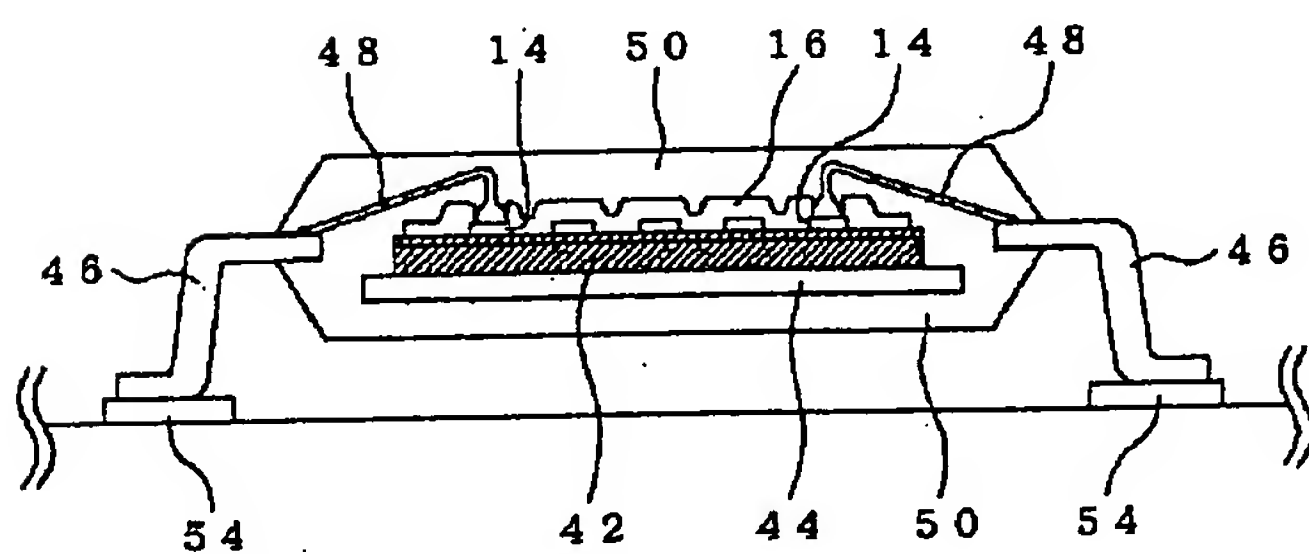
【図9】



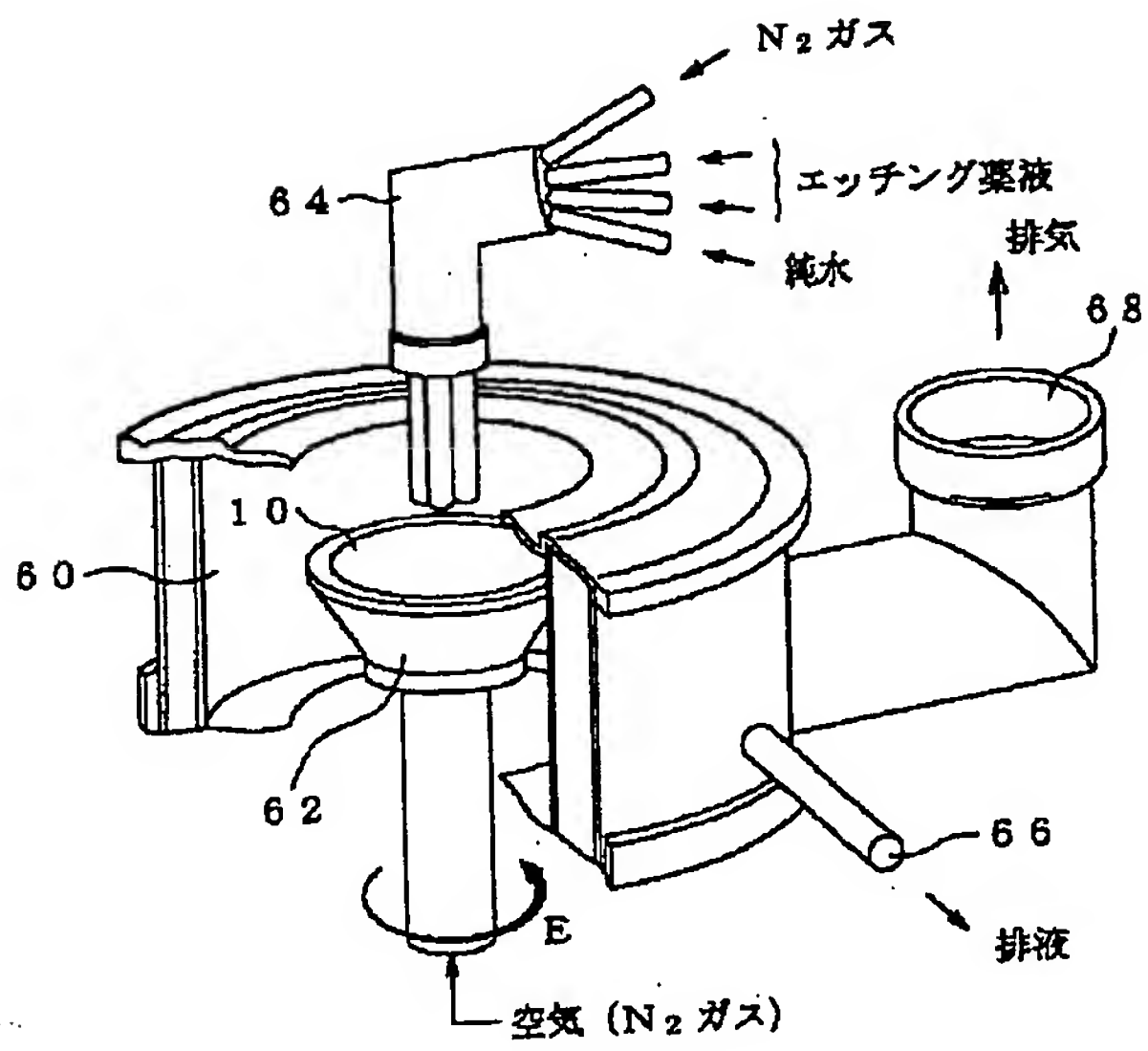
【図7】



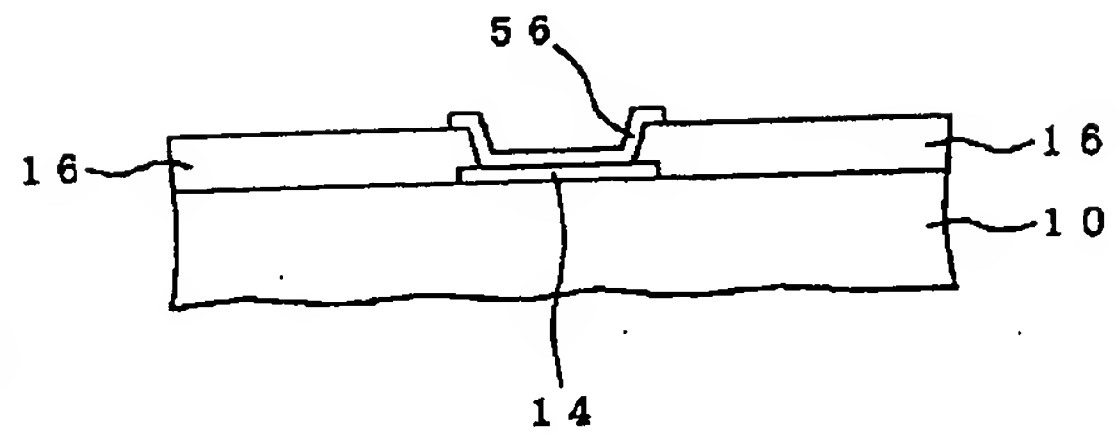
【図8】



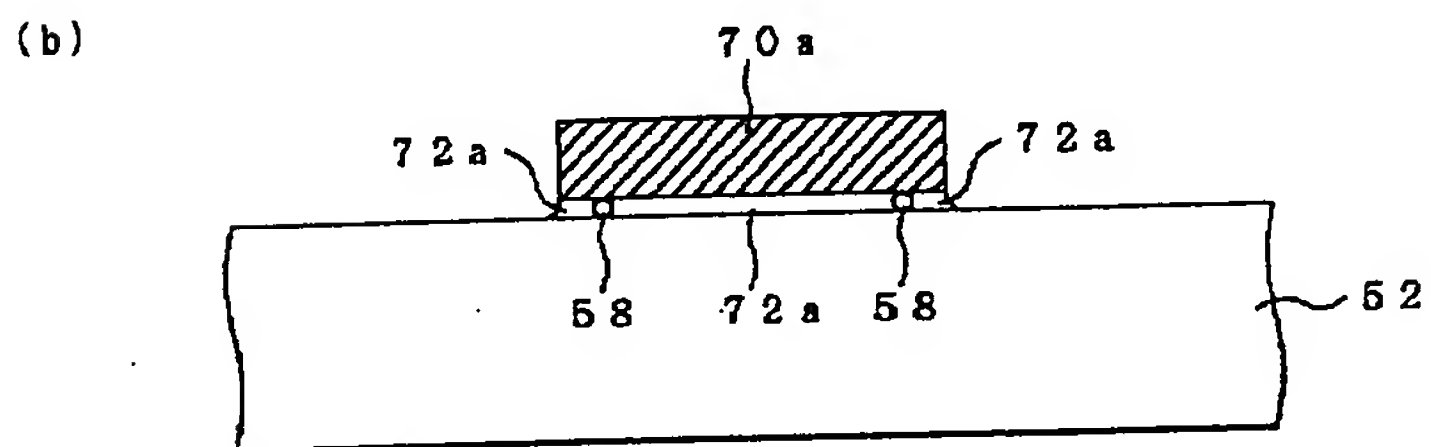
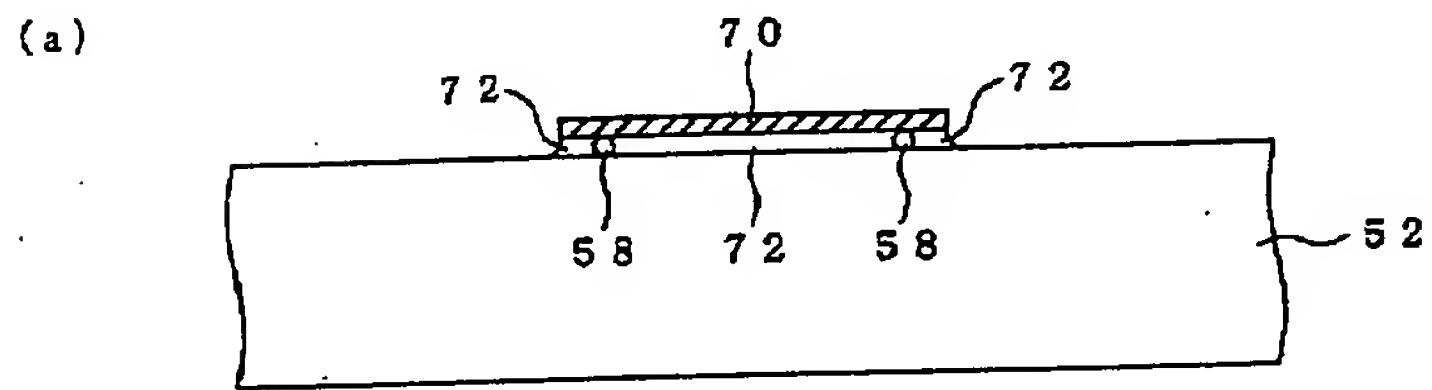
【図10】



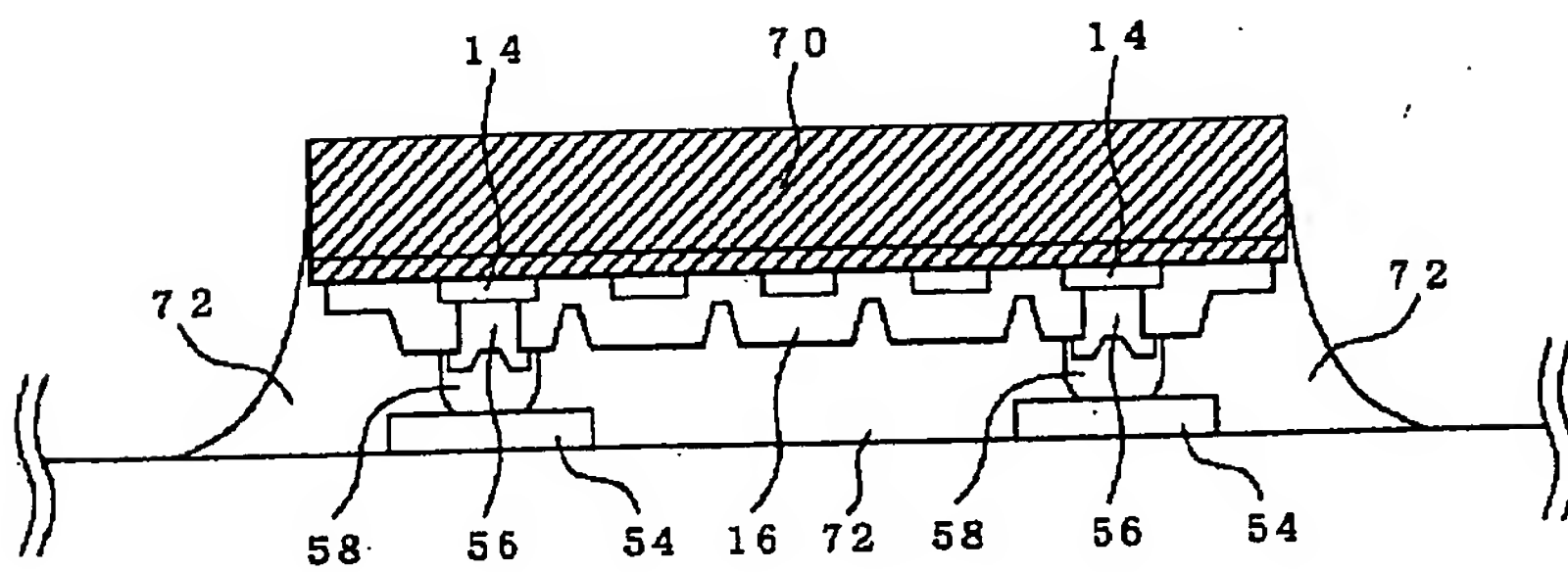
【図14】



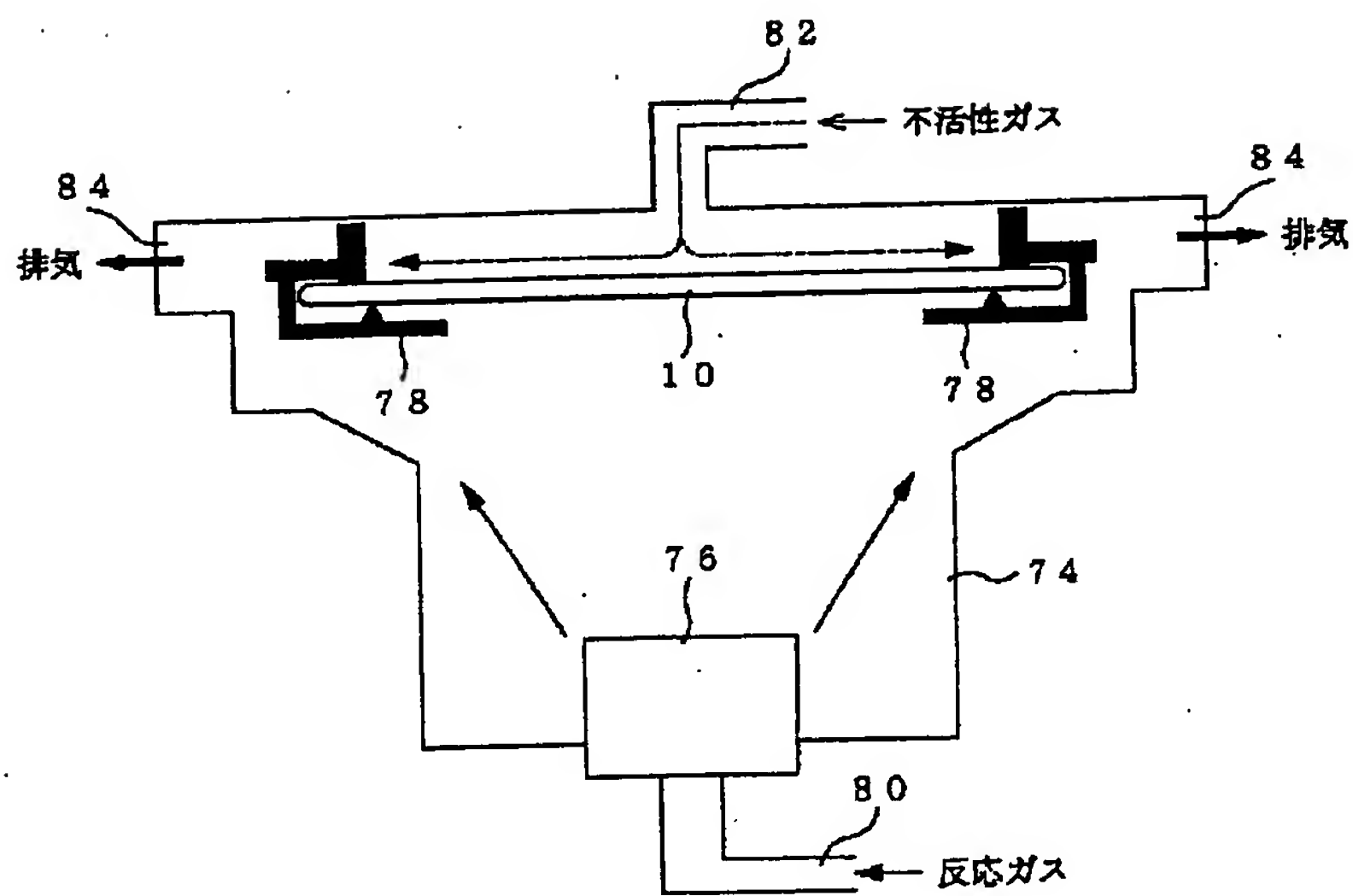
【図11】



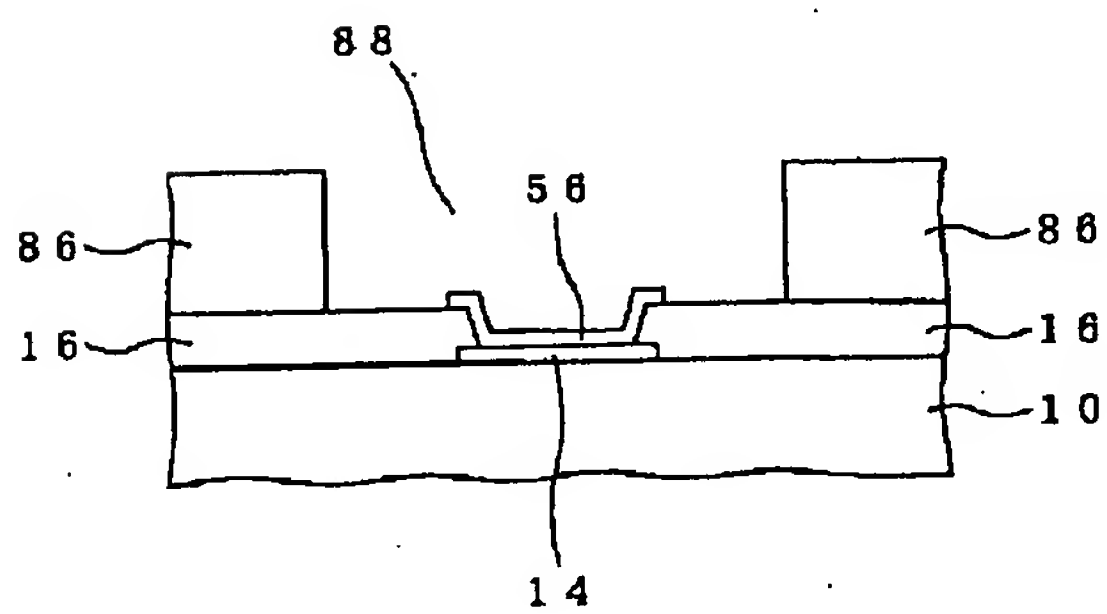
【図12】



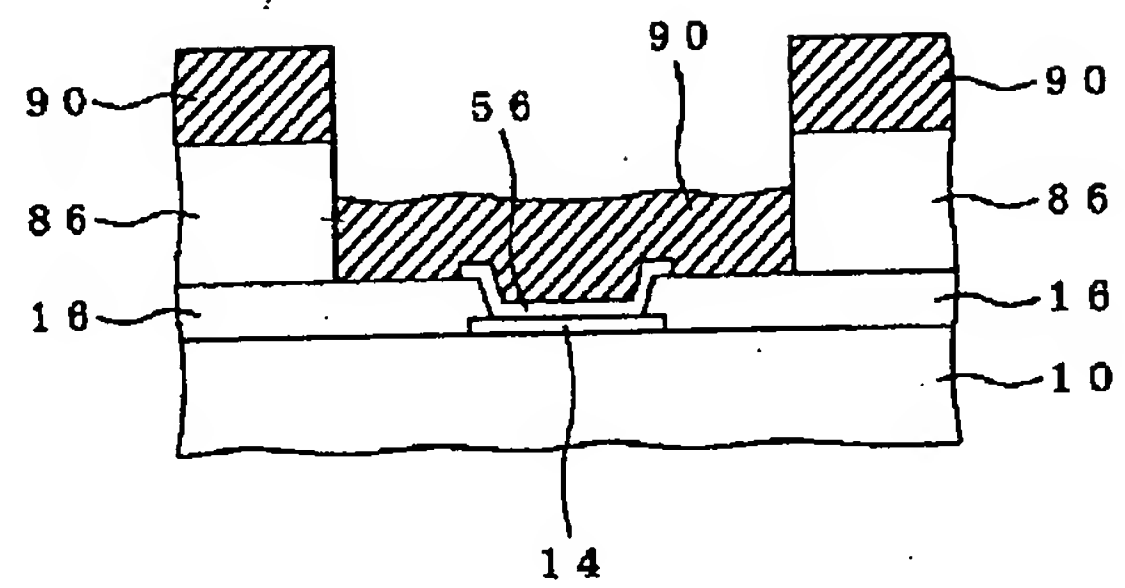
【図13】



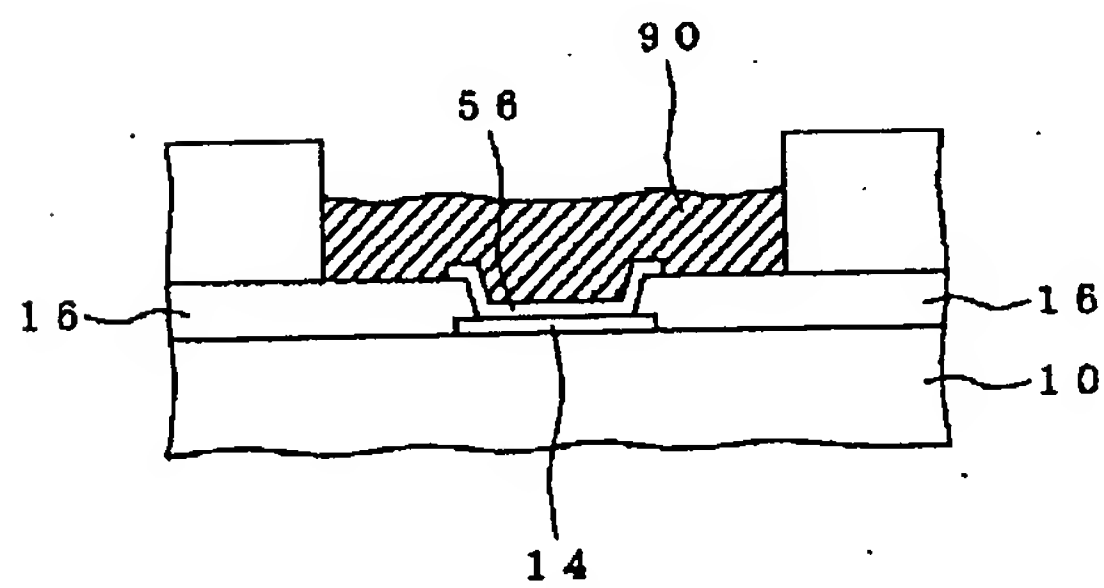
【図15】



【図16】



【図17】



【図18】

